

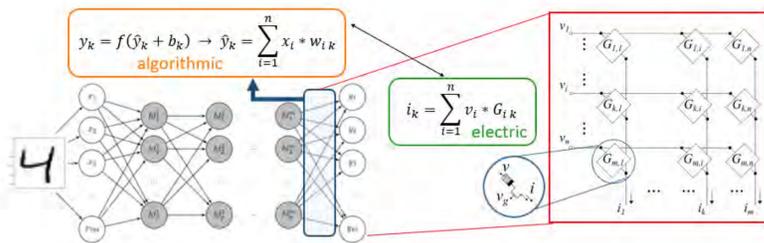
Neue Technologieansätze für neuromorphes Computing

CMOS integrierte memristive Bauelemente für In-Memory Computing

1 In-Memory Computing

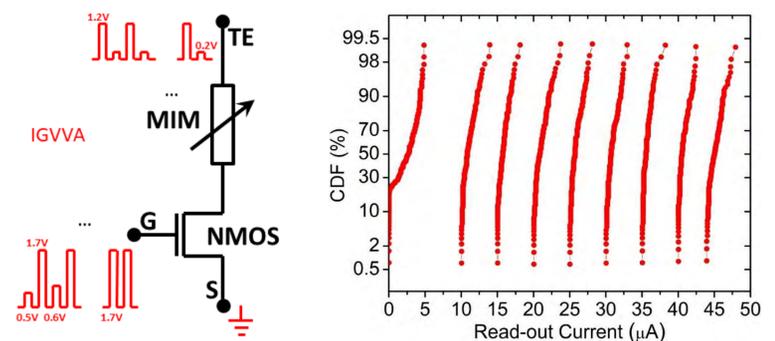
Der größte Teil des Stromverbrauchs in KI-Beschleunigern ist auf das bekannte Memory Wall Problem zurückzuführen.

Die Lösung: In-Memory Computing; die Daten werden dort gespeichert, wo deren Prozessierung stattfinden.



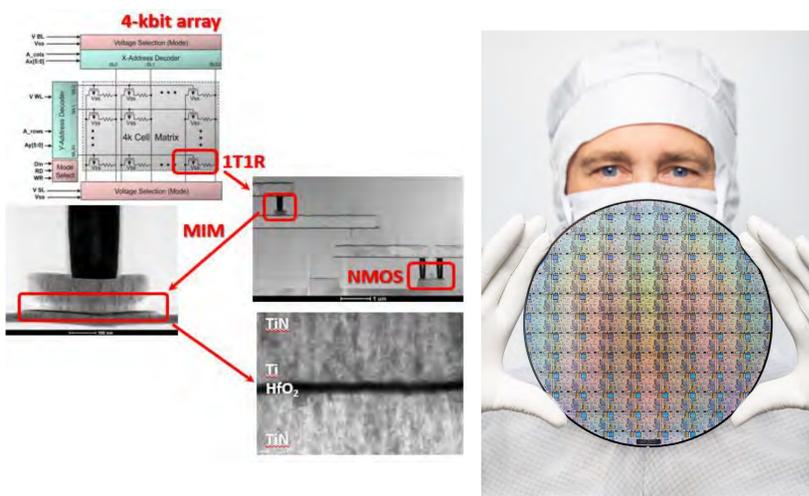
2 Multilevel Programmierung

Verifizierte Algorithmen zur Programmierung mehrerer leitender Zustände in den individuellen memristiven Bauelementen

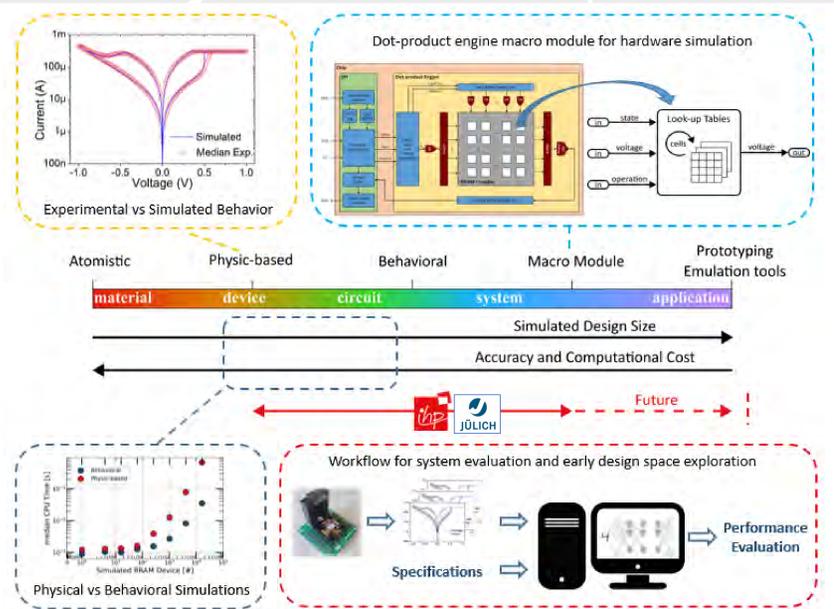


3 200 nm CMOS RRAM Technologie

CMOS integriertes 4-Kbit-Testarray mit peripherer Ansteuer-elektronik, entwickelt im 130-nm-Technologieknoten des IHPs.



4 Bauelement- und System-Modellierung



5 Ausblick

Technologische Verfügbarmachung einer Prozesslinie für CMOS-kointegrierte neuromorphe Systeme der nächsten Generation:

Erweiterung der bestehenden Prozessumgebung des IHPs für den gezielten Ausbau der Strukturierungsfähigkeiten der integrierten RRAM Bauelemente.

Erweiterung des existierenden 200 nm Siliziumcluster durch die Komponenten Metall-PVD, Metalloxid-PVD und Handler, zur Abscheidung von analog schaltbaren RRAM Bauelementen.